https://doi.org/10.33261/jaaru.2021.28.3.008 *Association of Arab Universities Journal of Engineering Sciences(2021)* **28(3):84–91**

Association of Arab Universities Journal of Engineering Sciences

مجلة اتحاد الجامعات العربية للدراسات والبحوث الهندسية

كلية الهندسة - جامعة بغداد

جمعية كليات الهندسة اعضاء اتحاد الجامعات العربية

تصميم شريحة ذاكرة ستاتيكية 4×4 منخفضة التأخير باستخدام تقنية أتمتة الخلايا الكمومية

م. يانا ممدوح غانم*

[1]قسم هندسة النظم الحاسوبية والإلكترونية، جامعة طرطوس، طرطوس، سوريا، yanamamdouhghanim@gmail.com

* الباحث الممثل: م. يانا ممدوح غانم، yanamamdouhghanim@gmail.com

نشر في: 30 ايلول 2021

الخلاصة – تهتم التقانة النانوية بالمواد والبنى والنظم التي تبدي مكوناتها خواصاً فيزيائيةً وكيميائيةً وحيويةً جديدةً ومتغيرةً بنتيجة حجومها النانوية الأبعاد، ويمثل التحكم بهذه الخواص واستثمارها في بنى وأدوات في المستويات الذرية والجزيئية هدفاً أساسياً للتقانة النانوية. تعتبر تقنية أتمتة الخلايا الكمومية أحد أبرز الأمثلة على هذه البنى في المقياس النانوي، وهي تقنية حديثة تستخدم لتصميم الدارات المنطقية بحجم أصغري واستهلاك منخفض للطاقة وتردد عالي (من رتبة Tera Hertz)، وتعدّ أبرز التقنيات النانوية المرشحة للحلول محل تقنيات CMOS المستخدمة في تصنيع الطيف الأوسع من الأجهزة الإلكترونية الحالية. قمنا في هذا البحث ببناء تصميم لذاكرة ستاتيكية 4× 4 ذات تأخير منخفض باستخدام هذه التقنية، حيث أظهرت النتائج أن التصميم المقترح يؤدي الوظيفة المنطقية المطلوبة وبتأخير أخفض بحوالي الثلث من أجل عملية القراءة وحوالي النصف من أجل عملية الكتابة بالمقارنة مع أفضل التصاميم السابقة ذات نفس الحجم أو التي تسمح بكتابة/قراءة نفس عدد البيتات إلى/ من الذاكرة.

الكلمات الرئيسية –" تكنولوجيا النانو، النقاط الكمومية، ذاكرة ستاتيكية 4×4 منخفضة التأخير ".

1. المقدمة

ينص قانون مور (Moore Law) على أن عدد الترانستورات على الشريحة يجب أن يتضاعف كل عامين مع بقاء سعر الشريحة نفسه، ووفقا لهذا القانون ينبغي البحث -بشكل مستمر- في كيفية تصغير الترانستورات. يمثل التصغير في الوقت الحالي مشكلة بالنسبة لشرائح CMOS التي تعتمد في بنيتها على ترانستورات MOSFET، ويعود ذلك لمجموعة من التحديات التي تواجه عملية تصغير ترانستورات الـ MOSFET مثل التأثيرات الكمومية وتأثيرات تصغير قناة الترانستور واستهلاك الطاقة عند التخفيض إلى مقياس الميكرو [21].

إنّ تقنية أتمتة الخلايا الكمومية (Quantum dot cellular automata) هي أحد الخيارات النانوية الواعدة للحلول محل تقنيات ال CMOS نتيجة لميزاتها العديدة مثل السرعة والكثافة العالية واستهلاك الطاقة المنخفض [21].

2. الدراسات السابقة وهدف البحث

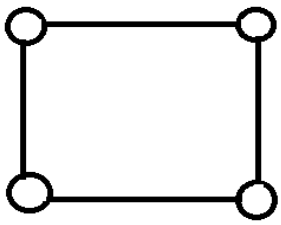
صُممت العديد من الدارات والوظائف الحاسوبية حتى وقتنا الحالي باستخدام تقنية النقاط الكمومية، وبشكل خاص من قبل العالم Konrad Walus، ومنها وحدة حساب ومنطق[17] ، ودارة جامع كامل[12] ، وضارب تسلسلي تفرعي[5] ، كما تناولت بعض الدراسات السابقة خلية ذاكرة وحيدة [2]، وكان هناك بعض الدراسات التي تناولت حجوم أكبر للذاكرة 4×4 [11] و16× 32 [10] ويتلخص هدفنا من هذا البحث في:

- بناء تصميم للذاكرة SRAM 4×4 باستخدام تقنية أتمتة الخلايا الكمومية مع السعي لاستخدام أقل عدد من الخلايا الكمومية وإنتاج أقل تأخير ممكن من أجل عمليتي القراءة والكتابة.

3. منهجية البحث

3.1 النقاط الكمومية.

اقترحت هذه التقنية عام 1993من قبل مجموعة من الباحثين في جامعة نوتردام. وهي بنية نانوية قادرة على إجراء عمليات حسابية بسرعات تحويل (switching)عالية جداً من رتبة (Tera Hertz) ، وتستهلك كميات صغيرة للغاية من الطاقة الكهربائية، تتكون الخلية من أربع نقاط كمومية مرتّبة في شكل مربع، هذه النقاط هي المواقع المحتملة للإلكترونات الشكل(1)



الشكل 1: خلية نقاط كمومية

يتم شحن الخلية بإلكترونين يتوضعان بزاويتين متقابلتين من زوايا المربع بشكل قطري نتيجة لقوى تنافر كولون، حيث إنّ التنافر الكولوني هو المسؤول عن نقل المعلومة من خلية إلى خلية مجاورة.

عند تصميم QCA في الحالة الصلبة المعيارية تكون المسافة بين النقاط الكمومية حوالي 20 نانومتر، والمسافة بين الخلايا حوالي 60 نانومتر، هذه النقاط الكمومية هي المواقع التي يمكن أن يشغلها الالكترونان، حيث إن هذان الالكترونان سوف سوف يحاولان التوضّع في أبعد موقع محتمل بالنسبة

1726-4081© 2021 The author(s). Published by Association of Arab Universities Journal of Engineering Sciences. This is an open access article under the CC BY-NC license (https://creativecommons.org/licenses/by-nc/4.0/).

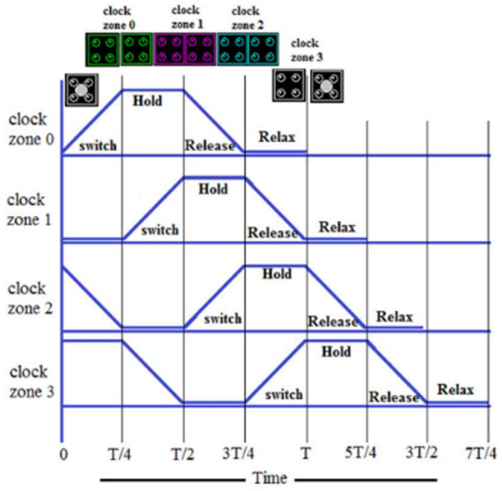
لبعضهما تبعاً لقوى تنافر كولون، وبذلك سيتواجد الالكترونين بإحدى حالتين ضمن الخلية الكمومية [3-6].

3.2 المناطق الزمنية في أتمتة الخلايا الكمومية

تختلف نبضة ساعة أتمتة الخلايا الكمومية عن نبضة الساعة في تقنية CMOS التقليدية، إذن إن الساعة لا تستخدم فقط للتحكم بالتدفق في خلايا QCA، ولكن تستخدم أيضاً لتحقيق الطاقة المطلوبة للحفاظ على الإشارة وتقليل تبديد الطاقة، بينما تستخدم الساعة في دارات CMOS التقليدية فقط لتحقيق التزامن، وتتكون الساعة في أتمتة الخلايا الكمومية من أربع مناطق زمنية تتأخر كل منطقة عن سابقتها بطور 90° [4]:

في بداية طور التبديل (switch phase) تكون الحواجز الكمومية بين النقاط الكمومية منخفضة، وتزداد خلال هذا الطور بحيث تصبح الخلايا مستقطبة في نهايته، وتأخذ استقطابها من الخلية القائدة (خلية الدخل)، و تصبح الحواجز الكمومية في نهاية هذه المرحلة مرتفعة بحيث تمنع ظهور أي نفق كمومي وتصبح الخلية مستقرة، وفي مرحلة الانتظار (hold phase) تبقى الحواجز الكمومية مرتفعة بحيث يمكن استخدام الخلية كدخل للخلايا التالية، وفي مرحلة الإطلاق (release phase) تنخفض الحواجز الكمومية مما يسمح للخلايا بالانتقال إلى الحالة غير المستقطبة، وأخيراً خلال مرحلة الاسترخاء (relax phase) تبقى الحواجز الكمومية منخفضة والخلايا غير مستقطبة

ويوضّح الشكل (2) المناطق الزمنية الأربعة للساعة والحاجز الكمومي للخلية في كل مرحلة.

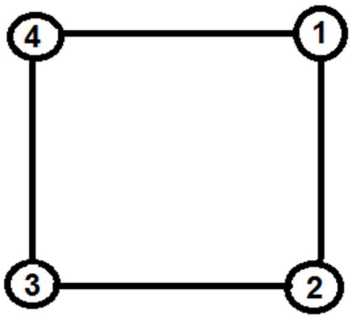


الشكل2: المناطق الزمنية للساعة المستخدمة في أتمتة الخلايا الكمومية مع الحاجز الكمومي الموافق في كل مرحلة

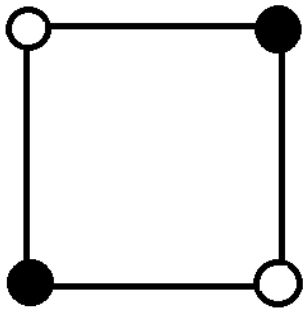
3.3 الحصول على الوظائف المنطقية الأساسية باستخدام تقنية النقاط الكمومية

تمثل الحالة المنطقية في تقنية أتمتة الخلايا الكمومية باستخدام تموضع الإلكترونين ضمن الخلية الكمومية، حيث إنه ونتيجة لقوى تنافر كولون يكون لدينا حالتين مستقرتين للإلكترونين، وتستخدم هاتان الحالتان المستقرتان لتمثيل المنطق "0" و "1"، ويمكن حساب الاستقطاب لهاتين الحالتين انطلاقاً من العلاقة (1) حيث Pi=1 عندما يتواجد الإلكترون في النقطة الكمومية الموافقة، وPi=0 عندما الإلكترون غير موجود. وترقم النقاط الكمومية في الخلية الكمومية كما في الشكل (3) ووفقاً للعلاقة السابقة يكون لدينا قيمتين للاستقطاب هما -1 الذي يمثل المنطق "0"، والاستقطاب 1 الذي يمثل المنطق "1" [15]، كما في الشكلين (4) و (5)

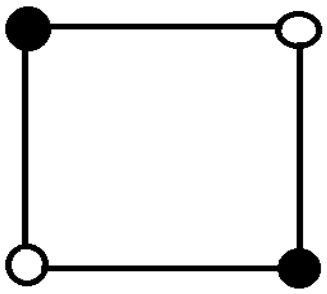
$$P = \frac{(p_1 + p_3) - (p_2 + p_4)}{(p1 + p2 + p3 + p4)} \qquad (1)$$



الشكل 3: ترقيم النقاط الأربعة ضمن الخلية الكمومية

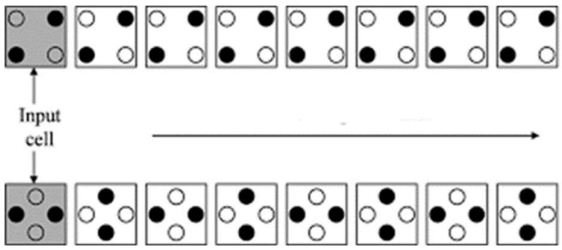


الشكل 4 : توضّع الإلكترونين في الاستقطاب الموافق للحالة المنطقية "1"



الشكل 5: توضّع الإلكترونين في الاستقطاب الموافق للحالة المنطقية "0"

تنتشر المعلومات الثنائية عن طريق التفاعلات بين الخلايا المجاورة على طول خط ال QCA، وهو ما يمثل السلك ((wire) في تقنية QCA [15] الشكل(6).



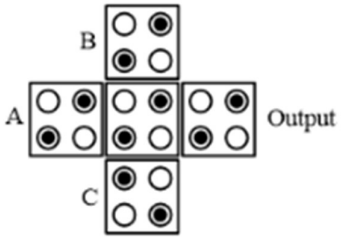
الشكل 6: كيفية انتشار الإشارة في تقنية أتمتة الخلايا الكمومية (سلك)

إن تفاعلات كولون لا تؤثر على خلية واحدة فقط مجاورة للخلية القائدة (الخلية التي تكون في مرحلة الانتظار)، بل تؤثر على جميع الخلايا المجاورة لها [15].

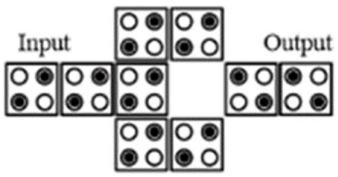
في تقنية ال QCA لدينا وظيفتين أساسيتين وباستخدامهما يمكن الوصول إلى جميع الوظائف المنطقية الأساسية، هاتان الوظيفتان هما الأكثرية (Majority) والعكس ((Not)، بوابة الأكثرية ((Majority-Gate) قد تكون بثلاثة أو خمسة مداخل وتوضّح العلاقة التالية وظيفة بوابة الأكثرية بثلاثة مداخل [15]:

$$M(A, B, C) = AB + BC + AC \qquad (2)$$

يوضّح الشكل (7) بوابة الأكثرية بثلاث مداخل، ويوضّح الشكل (8) بوابة العكس.



الشكل 7: بوابة الأكثرية ((Majority) بثلاث مداخل



الشكل 8: بوابة العكس

يتم الحصول على وظيفتي AND,OR بمدخلين باستخدام 3-input majority gate بتثبيت أحد المداخل على القيمة "0" أو "1" كما هو موضّح في العلاقتين (3)، (4)

$$M(A, B, 0) = A.B \qquad (3)$$

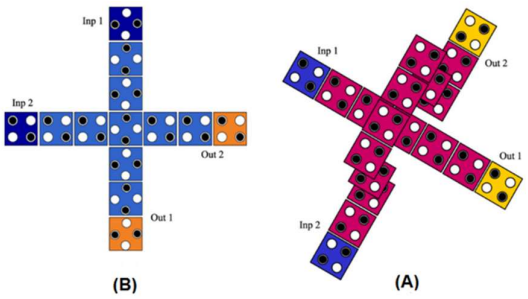
$$M(A, B, 1) = A + B \qquad (4)$$

3.4 الجسور(Crossovers)

عند تصميم دارات QCA يجب منع حدوث تقاطع بين الأسلاك حيث يسمح في تصميم QCA بنوعين من الجسور لمنع التقاطع هما[7] :

a) الجسر وحيد المستوى(coplanar crossover): يستخدم طبقة وحيدة لكنه يتضمن استخدام نوعين من الخلايا (تسمى منتظمة ومدوّرة)، ويوضّح الشكل (9-B) جسر وحيد المستوى، حيث إنّ الفارق في الزاوية بين الخلايا المنتظمة والمدوّرة يسمح بانتقال الإشارتين في السلكين دون حدوث تداخل بينهما.

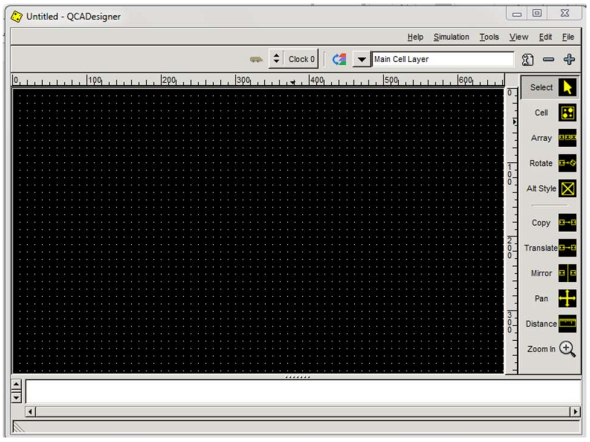
b) الجسر متعدد الطبقات (multilayer crossover) :يستخدم أكثر من طبقة من الخلايا بشكل مشابه للطبقات المعدنية في ICS التقليدية، ويوضّح الشكل (A -9) جسر متعدد المستويات.



الشكل 9: الجسر متعدد الطبقات في تقنية النقاط الكمومية (A) ، الجسر وحيد المستوى في تقنية النقاط الكمومية (B).

3.5 محاكي QCADesigner:

محاكي QCADesigner الشكل (10): هو أداة تصميم بمساعدة الحاسب (Computer Aided Design)تم تطويرها في مختبرات ATIPS في جامعة Calgary في كندا، وأُجدت خصيصاً لتصميم ومحاكاة بنى QCA ودراسة أدائها، ويمكن لهذه الأداة التعامل مع جميع تقنيات QCA المتجددة، إذ إنها ما زالت في طور التطوير حتى هذه اللحظة في مختبرات جامعة British Columbia، تسمح هذه الأداة حالياً بثلاث أنواع من المحاكاة لتوليد الخرج وذلك حسب المعطيات التي يرغب المستخدم بالحصول عليها من التصميم [9-8-22].

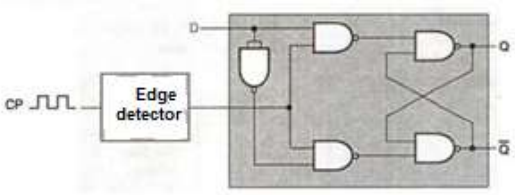


الشكل 10: واجهة محاكي QCADesigner

3.6 القلّابات:

- **القلّاب D ذو مدخل الساعة (clocked D Flip-flop) :**

يوضّح الشكل (11) بنية القلّاب D حيث يتم التخلص من الحالة غير المرغوبة للقلّاب SR بجعل المدخلين متكاملين ويمثل الجدول (1) جدول الحقيقة الناتج [1].



الشكل 11: بنية القلّاب D

جدول 1: جدول الحقيقة للقلّاب D ذو الحافتين

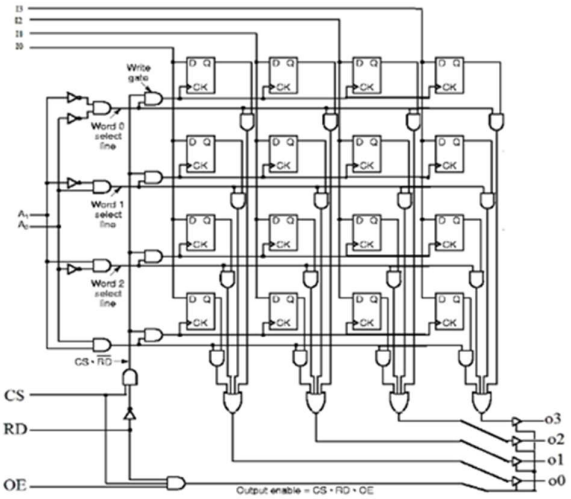
clk	D	Q_{n+1}
Positive or Negative Edge	0	0
Positive or Negative Edg	1	1
Other state	x	Q_n

ملاحظة: يوجد أنواع مختلفة للقلّاب D منها ما يعمل عند الحافة الصاعدة أو الهابطة أو كلتا الحافتين ومنها ما يعمل عند المستوى المرتفع أو المنخفض للساعة. لكن آلية العمل نفسها وهي تمرير الدخل إلى الخرج بالاعتماد على حالة إشارة الساعة.

3.7 التصميم الكمومي لدارة الذاكرة 4×4 الستاتيكية

يوضّح الشكل (12) بنية هذه الذاكرة التي تتضمن 16 قلّاب و 26 بوابة and و4 بوابات or و5 بوابات not و4 بوابات ثلاثية الحالة (Tri-state) و9 مداخل و 4 مخارج [19] ، تعود صعوبة إنجاز هذا التصميم إلى كثرة العناصر المنطقية المتواجدة فيه والوصلات فيما بينها حيث سنحتاج إلى عدد كبير من الجسور، ويجب تحديد المناطق الزمنية للعناصر وللجسور بدقة لتحقيق استقرار الإشارة والوصول إلى الخرج الصحيح:

1. يمثل المدخلان A0,A1 مدخلا انتخاب يحددان خط الذاكرة العامل حيث يتواجد لدينا أربعة خطوط ذاكرة تسمح بكتابة أو قراءة كلمة بطول 4-bit، وتحديد عملية الكتابة أو القراءة يكون عن طريق المدخل RD، أما مدخل ال CS فإنه يحدد إذا كانت شريحة الذاكرة عاملة أو لا، بالإضافة إلى وجود مدخل لتفعيل الخرج (output enable)



الشكل 12: بنية شريحة الذاكرة الستاتيكية 4×4

2. يتم الحصول على وظيفتي and وor ووظيفة العكس باستخدام بوابتي الأكثرية والعكس وهذا ما سبقت مناقشته، أما بالنسبة للقلّاب فسنستخدم قلّاب dff ثنائي الحافة ذو مدخل الساعة، وقد قمنا بإجراء دراسة مرجعية لهذا النوع من القلّابات [16-18-20-13] ووقع اختيارنا على الدراسة [13] حيث إن التصميم المقترح فيها هو تصميم فعّال ويحتاج 51 خلية فقط وينتج عنه تأخير 1.75.

3. لم تتوصل أي من الدراسات المرجعية إلى تصميم للبوابة ثلاثية الحالة باستخدام تقنية النقاط الكمومية، وسنعتمد بالتالي على الخرج من بوابات الجمع الأربعة فقط.

4. نقوم بتعديل موقع مدخل ساعة تصميم القلّاب الذي قمنا باختياره بحيث يمكن تزويد إشارة ساعة مشتركة إلى مداخل القلّابات المطلوبة، ويبقى عدد الخلايا الكلية للتصميم أقل من عدد الخلايا التي تحتاجها التصاميم المقترحة الأخرى للقلّاب الشكل (13).

الشكل 13: بنية القلّاب المستخدم بعد تعديل موقع مدخل الساعة

5. سنستخدم تصميم القلّاب السابق بمناطق زمنية مختلفة وذلك حسب الحاجة ضمن التصميم من أجل تخفيض التأخير قدر الإمكان.

6. نلاحظ من مخطط الذاكرة أننا بحاجة إلى أربع بوابات or رباعية المداخل، وفي حال استخدمنا بوابات or ثنائية المداخل بين كل دخلين لبوابة or رباعية المداخل مباشرةً ضمن التصميم بعد جاهزيتها كخرج من المرحلة السابقة فإننا سنحتاج إلى 12 بوابة or ثنائية المدخل، من جهة أخرى لاستخدام بوابات or رباعية المداخل في مكانها ضمن التصميم الشكل(12) فإننا نحتاج إلى 12crossovers لتجهيز المداخل الأربعة لكل بوابة في أماكنها ولمسافة طويلة نسبياً (بسبب كثافة العناصر ضمن التصميم)، بينما نحتاج إلى 4crossover في حال استخدام بوابات or ثنائية المداخل بين المداخل بعد جاهزيتها كخرج من المرحلة السابقة، وبمقارنة بسيطة فإن التوفير في عدد الخلايا في حال

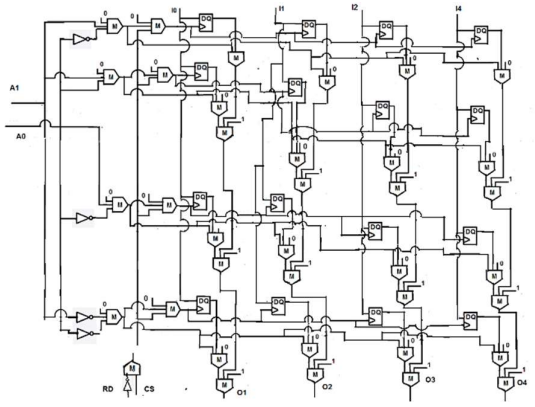
تخفيض ال crossover أكبر من التوفير في حال استخدام بوابات or رباعية المداخل في مكانها الحالي ضمن التصميم، لذلك سنستخدم بوابات or ثنائية المداخل ضمن التصميم بعد جاهزيتها كخرج من المرحلة السابقة.

7. لتجنب حصول تداخل وضياع للإشارة عند بناء الـ crossover سنقوم بزيادة المنطقة الزمنية عند الحاجة إلى إضافة crossovers بشكل مشابه لما نقوم به عند بناء التوابع المنطقية.

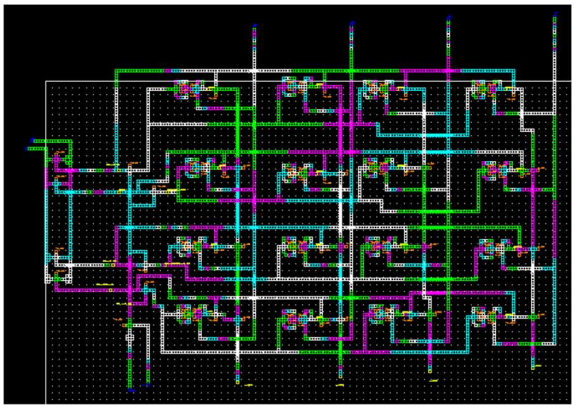
8. لتخفيض عدد المناطق الزمنية وبالتالي تخفيض التأخير ولتقليل عدد الخلايا أيضاً سنستخدم الجسور (crossover) لتجاوز عدة أسلاك معاً في كل مرة وليس سلكاً واحداً فقط.

يمثل الشكل (14) مخطط التصميم الكلي باستخدام العناصر الأساسية (القلّابات، بوابات الأكثرية، بوابات العكس)

يمثل الشكل (15) التصميم المنجز لدارة الذاكرة حيث عدد الخلايا الكلّية 4448



الشكل 14: مخطط التصميم باستخدام العناصر الأساسية



الشكل 15: التصميم المقترح لدارة الذاكرة 4×4 باستخدام تقنية أتمتة الخلايا الكمومية.

3.8 النتائج والمناقشة:

يوضّح الجدول (2) خط الذاكرة العامل من أجل جميع حالات خطي الانتخاب A0A1، حيث نفترض ترتيب خطوط الذاكرة (4-3-2-1) من أعلى التصميم إلى أدناه.

جدول 2: خط الذاكرة العامل من أجل جميع حالات خطي الانتخاب.

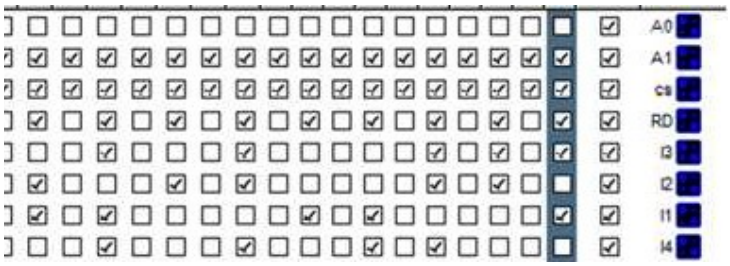
A0	A1	خط الذاكرة المفعل
0	0	4
0	1	1
1	0	3
1	1	2

سنقوم بإدخال قيم المداخل وإشارات التحكم بشكل يدوي على النحو التالي:

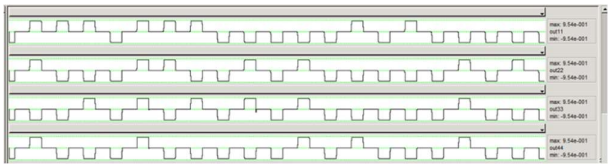
Simulation ⟶ Simulation Type Setup ⟶ Vector table

- **انتخاب خط الذاكرة الأول:**

لكي يتوضّح عمل الدارة باستخدام المحاكاة سنقوم بتبديل إشارة التحكم بالقراءة والكتابة بين 0 و1، ففي دور الكتابة يتم كتابة الكلمة من أربع بيتات الموجودة على المداخل الأربعة إلى المكان المحدد في الذاكرة تبعا لخطي الانتخاب، أما في دور القراءة يجري قراءة الكلمة المخزنة في موقع الذاكرة المحدد وفقاً لخطوط الانتخاب إلى المخارج الأربعة، ولا تتم أي عملية كتابة من المداخل في هذا الدور، ويوضح الشكل(16) قيم المداخل وإشارات التحكم التي حددناها باستخدام المحاكي حيث اخترنا انتخاب خط الذاكرة الأول، ويوضّح الشكل(17) نتيجة المحاكاة حيث يتم تخزين قيم المداخل إلى المواقع في خط الانتخاب الأول ومن ثم كتابتها إلى الخرج، حيث تظهر إلى الخرج ابتداءاً من النبضة 7.5.



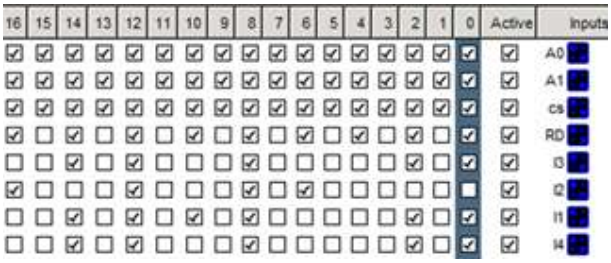
الشكل 16: تحديد قيم المداخل وإشارات التحكم لاختبار خط الذاكرة الأول



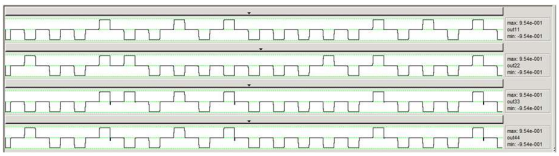
الشكل 17: نتيجة محاكاة دارة الذاكرة عند انتخاب خط الذاكرة الأول

وفيما يلي نتائج محاكاة التصميم عند انتخاب خط الذاكرة الثاني أو الثالث أو الرابع.

- **انتخاب خط الذاكرة الثاني :**

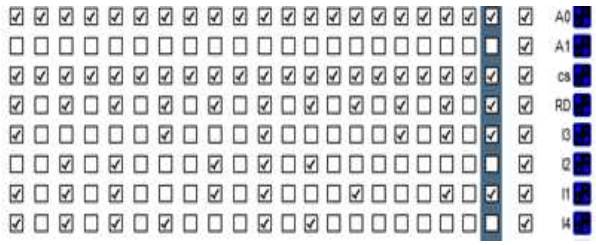


الشكل 18: تحديد قيم المداخل وإشارات التحكم لاختبار خط الذاكرة الثاني

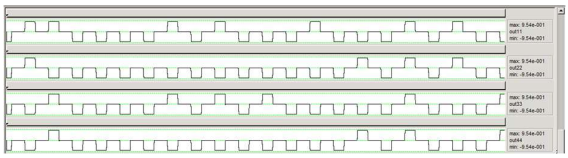


الشكل 19: نتيجة محاكاة دارة الذاكرة عند انتخاب خط الذاكرة الثاني

- **انتخاب خط الذاكرة الثالث:**

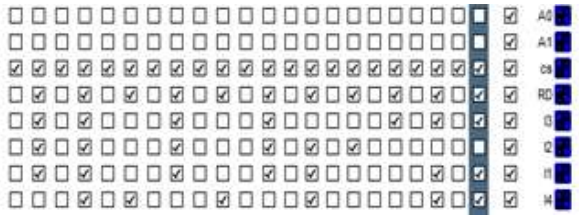


الشكل 20: تحديد قيم المداخل وإشارات التحكم لاختبار خط الذاكرة الثالث

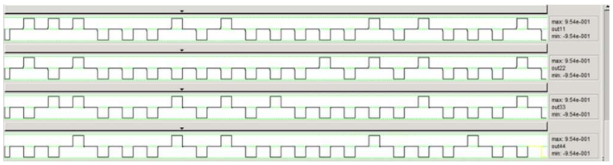


الشكل 21: نتيجة محاكاة دارة الذاكرة عند انتخاب خط الذاكرة الثالث

- **انتخاب خط الذاكرة الرابع:**



الشكل 22: تحديد قيم المداخل وإشارات التحكم لاختبار خط الذاكرة الرابع



الشكل 23: نتيجة محاكاة دارة الذاكرة عند انتخاب خط الذاكرة الرابع

4. الاستنتاجات والتوصيات

4.1 الاستنتاجات

قمنا بترقيم خلايا هذه الذاكرة الست عشرة من الأعلى إلى الأسفل، ومن اليسار إلى اليمين وحساب تأخير الكتابة لكل خلية من هذه الخلايا حيث أن **1clk=1ps** وهي الساعة الداخلية المستخدمة في أتمتة الخلايا الكمومية (ترددها من رتبة Tera Hertz)، وحصلنا على الجدول التالي:

جدول 3: تأخير الكتابة الناتج لكل خلية من خلايا الذاكرة

$Cell_1$=3.5 clk	Cell $_5$ = 3.75 clk	Cell $_9$ = 4 clk	$Cell_{13}$= 4.25 clk
$Cell_2$ =3.75clk	$Cell_6$ = 4clk	Cell $_{10}$= 4.25 clk	Cell $_{14}$ = 4.5 clk
Cell $_3$ = 4 clk	Cel $_7$ = 4.25 clk	Cell $_{11}$= 4.5clk	$Cell_{15}$ = 4.75 clk
$Cell_4$ = 4.25clk	Cell $_8$ = 4.5 clk	$Cell_{12}$= 4.75clk	$Cell_{16}$ = 5 clk

من غير المجدي مقارنة تصميمنا مع الدراسات السابقة لخلية ذاكرية واحدة لأن المشكلة الأساسية التي تظهر عند استخدام تصميم خلية ذاكرية واحدة في بناء تصميم أكبر للذاكرة هي تخطيط التصميم والتعامل مع حالات crossover والحفاظ على الإشارة من الضياع، فقد يكون التصميم مثالياً لبناء خلية ذاكرية واحدة، ولكن تواجهنا تحديات عند استخدامه لبناء الذاكرة 4×4،

يتضمن التصميم في الدراسة [11] 16 موقعاً ذاكرياً وأربع مداخل حيث يمكن كتابة أو قراءة أربع بيتات من أو إلى الذاكرة في الوقت نفسه كما هو الحال في تصميمنا المقترح.

في حين يتضمن التصميم المقترح في الدراسة [14] 4 مواقع ذاكرية فقط ومدخل واحد للمعطيات حيث يجب إدخال البيتات من المدخل الوحيد بشكل تسلسلي من أجل كتابتها إلى مواقع التخزين أو إخراجها بشكل تسلسلي من أجل كتابتها إلى الخرج (قراءتها) مما ينتج المزيد من التأخير.

ويوضّح الجدول (4) مقارنة بين تصميمنا والتصميمين السابقين [11] و[14] الذان يمثلان أقرب تصميمين لتصميمنا المقترح وتمت المقارنة من حيث:

- عدد الخلايا: وكما نلاحظ أنها أقل في الدراسة [14] ويعود ذلك لوجود أربع مواقع ذاكرية فقط.
- تأخير القراءة والكتابة الأعظمي: ونلاحظ أن تصميمنا المقترح ينتج تأخيراً أقل من التصميمين الأخرين.
- وجود إمكانية S/R : تعني وجود مدخل للتهيئة وهذا المدخل يكون للقلابات التي تمثل عناصر التخزين لهذه الذاكرة، ونلاحظ أن التصاميم الثلاثة لا تتضمن هذه الإمكانية حيث أنها تسبب زيادة تعقيد التصميم وتأثيرها هامشي على وظيفة التصميم الكلية، ولكن الدراسات المستقبلية ستهتم بالتأكيد بإتاحة هذه الإمكانية.
- حجم الذاكرة (عدد مواقع التخزين) : أي طول الكلمة الأعظمي التي يستطيع التصميم تخزينها، فعلى سبيل المثال إذا كان لدينا كلمة بطول 12bit فلن يكون التصميم المقترح في الدراسة [14] قادراً على تخزينها بينما التصميم المقترح في الدراسة [11] وتصميمنا المقترح فسيكونان قادرين على ذلك.

جدول 4: مقارنة التصميم المقترح للذاكرة مع التصاميم السابقة المقترحة

	عدد الخلايا	تأخير القراءة الأعظمي	تأخير الكتابة الأعظمي	ووجود إمكانية S/R	حجم الذاكرة(عدد مواقع التخزين)
التصميم المقترح في الدراسة [14] ذو 4 مواقع ذاكرية ومدخل واحد	860	14.5clk	14.5clk	لا توجد	4
التصميم المقترح في الدراسة [11] ذو 16 موقع ذاكري وأربع مداخل	غير محدد	9clk	9clk	لا توجد	16
تصميمنا المقترح	4448	6.5clk	5clk	لا توجد	16

يخفّض تصميمنا المقترح التأخير بالمقارنة مع التصميمين السابقين، ويعطي تصوراً حول كيفية التعامل مع حالات crossover بشكل فعّال وكيفية اختيار المناطق الزمنية عند بناء تصاميم عملية للذاكرة مثل التصميم 128×128 الذي يتضمن 16384 موقع ذاكري.

4.2 التوصيات

تتضمن التوصيات:

• البحث في تخفيض إضافي للتأخير ولعدد خلايا التصميم المقترح للذاكرة.

• الاستفادة من التصميم المقترح في بناء تصاميم ذات حجوم أكبر للذاكرة الستاتيكية.

• تصميم ومحاكاة وظائف حاسوبية أخرى للوصول إلى استبدال جميع الوظائف الحالية المصنّعة باستخدام تقنية CMOS باستخدام تقنية أتمتة الخلايا الكمومية.

المصادر

[1] A. Godse and U. Bakshi, "Digital and Linear Integrated Circuits," Technical Publication, pp.200, 2007.

[2] A. Majeed, E. Alkaldy and S. Albermany, "An energy-efficient RAM cell based on novel majority gate in QCA technology," SN Applied Sciences, Vol.1, No.11, pp 1-8, October.2019.

[3] C.Lent, P. Tougaw and W. Porod, "*Quantum cellular automata*," *Nanotechnology*, Vol. 4, No.1, pp 49, 1993.

[4] H. Rashidi and A. Rezai, "High-performance full adder architecture in quantum-dot cellular automata," The Journal of Engineering, Vol.2017, No.7, pp 394-402, Jun.2017.

[5] I.Amlani and A. Rezai," a novel circuit design of serial-parallel multiplier in quantum dot cellular automata technology," Journal of Computational Electronics, Vol.17, No.4, pp 1771-1779, July.2018.

[6] I.Amlani, A. Orlov, G. Toth, G. Bernstein, C. Lent and G. Snider,"Digital Logic Gate Using Quantum-Dot Cellular Automata,"Science, Vol.284, No.5412, pp 289-291,1999.

[7] K. Sridharan and V. Pudi, "Design of Arithmatic Circuits in Quantum Dot Cellular Automation," International Journal of Control and Automation., 2015.

[8] K. Walus, T. Dysart, G. Jullien and R. Budiman,"QCADesigner: A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata,". IEEE Transactions on Nanotechnology, Vol.1, No.1, pp 26-31, Mar.2004.

[9] M.Heydari, Z. Xiaohu, K. Lai and S. Afro,"A Cost-Aware Efficient RAM Structure Based on Quantum-Dot Cellular Automata Nanotechnology," International Journal of Theoretical Physics, Vol.58, No.12, pp 3961-3972, Nov. 2019.

[10] M.Kianpour and R. Sabbaghi-Nadooshan"A novel Quantum-Dot Cellular Automata X-bit X 32-bit SRAM," IEEE TRANSACTION ON VERY LARGE SCALE INTEGRATION(VLSI) SYSTEMS, Vol.24, No.3, pp 827-836, Mar.2015.

[11] M.Kianpour and R. Sabbaghi-Nadooshan," A novel design and simulation of 16 bits RAM implementation in quantum-dot cellular automata,"16th IEEE Mediterranean Electrotechnical Conference, pp 637-640, May.2012.

[12] M.Mohammadi, M. Mohammadi and S. Gorgin,"An efficient design of full adder in

ALU in QCA," Indian Journal of science and Technology, Vol.10, No.29, pp 1-5, Aug.2017.

[18]S. Hashemi and K. Navi," New robust QCA D flip flop and memory structures," Microelectronics Journal, Vol.43, No.4, pp 929-940, Dec.2012.

[19]S. Saravanan, S. Sivakumar and S. Sasipriya, "Design of Low Power D-Flip Flop based on Full Swing GDI Logic and Implementation in 4X4 SRAM," Jour of Adv Research in Dynamical & Control Systems, Vol.9, No.4, pp 188-201, 2017.

[20]T. Sasamal, A. Singh and U. Ghanekar, "Design and implementation of QCA D-Flip-flops and RAM cell using majority gates," Journal of Circuits, Systems and Computer, Vol.28, No.5,1950079, 2018.

[21]W. Liu, M. Oneill, L. Lu and E. Swartzlaner, "A first Step Toward Cost Functions for Quantum-Dot Cellular Automata Designs," IEEE TRANSACTIONS ON NANOTECHNOLOGY,Vol.13, No.3, pp 476-487, May.2014.

[22]https://waluslab.ece.ubc.ca/qcadesigner.

quantum-dot cellular automation (QCA) Technology," Microelectronics Journal, Vol.50, pp 35-43, April.2016.

[13]M.Roshan and M. Gholami, "Novel D Latches and D flip-flops with Set and Reset Ability in QCA Nanotechnology Using Minimum Cells and Area," International Journal of Theoretical Physics, Vol.57, No.10, pp 3223-3241, August.2018.

[14]N. Janardan and G. Velemathi,"Design and Implementation of 16 bit SRAM Using Quantum Dot Cellular Automata,"IOP publishing, No.1, pp.012046, May.2020.

[15]N. Safeov and J. Jeon,"Design and Evaluation of Cell Interaction Vedic Multiplier Using Quantum-Dot Cellular Automata," Electronics, Vol.9, No.6, pp 1036, 2020.

[16]R. Binaei and M. Gholami,"Design of novel D flip flop with set and reset abilities in quantum-dot cellular automata nanotechnology," Computer and Electrical Engineering, Vol.74, pp 259-272, Mar.2019.

[17]R. Tiwari, D. Bastawade, P. Sharan and A. Kumar,"Performance Analysis of Reversible

Design of low delay 4X4 SRAM memory using quantum dot cellular automation technology

***Yana Mamdouh Ghanim*[1] ***

[1]*Depatment of Computer and Electronic Systems Engineering, Tartus University, Tartus, Syria, yanamamdouhghanim@gmail.com.*

**Corresponding author: Yana Mamdouh Ghanim, yanamamdouhghanim@gmail.com.*

Published online: 30 September 2021

Abstract— Nanotechnology is concerned with materials, structures and systems whose components exhibit new and changing physical, chemical and biological properties as a result of their nanoscale sizes. It is a new technology used to design logic circuits with small size, low energy consumption and high frequency (of the order of Tera Hertz).and it is the leading candidate for the nanotechnology to replace the CMOS technologies that is used in manufacturing of the most today's electronic devices. In this research we have designed a low-delayed 4X4 SRAM circuit using the previous technology, The simulation results showed that the proposed design performs the required logic function with a delay that is about a third lower for the reading process and about a half for the writing process compared with the best previous designs of the same size or which allows reading/writing the same number of bits from/to memory.

Keywords— "Nanotechnology, Quantum dots, Low-delayed 4X4 SRAM ".